

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09064324 A**(43) Date of publication of application: **07.03.97**

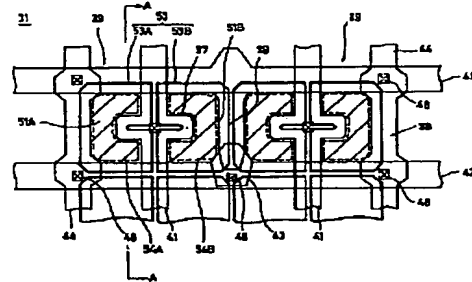
(51) Int. Cl. **H01L 27/14**  
**H01L 27/146**  
**H04N 5/225**

(21) Application number: **07211889**(71) Applicant: **SONY CORP**(22) Date of filing: **21.08.95**(72) Inventor: **ABE HIDEJI****(54) SOLID-STATE IMAGE SENSING DEVICE****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To improve the light convergence efficiency to a picture element, in spite of a complicated sensor aperture form, by converging a light entering an image sensing region, at a plurality of positions which are mutually isolated in a picture element.

**SOLUTION:** In two U-shaped sensor regions 51A, 51B which are isolated for each picture element by A1 signal lines, two on-chip microlenses 53A, 53B are formed along the respective U-shapes. Through the respective on-chip microlenses 53A, 53B, an incident light can be converged on the corresponding sensor regions 51A, 51B, along the respective U-shapes. Thereby light convergence efficiency and picture element sensitivity can be improved.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64324

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/14			H 0 1 L 27/14	D
27/146			H 0 4 N 5/225	D
H 0 4 N 5/225			H 0 1 L 27/14	A

審査請求 未請求 請求項の数2 O L (全 10 頁)

(21) 出願番号 特願平7-211889

(22) 出願日 平成7年(1995)8月21日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 阿部 秀司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 固体撮像装置における集光効率の向上及びシエーディング防止を図る。

【解決手段】 固体撮像装置において、1つの画素39内で互に離間した複数の位置に集光させるように構成する。複数の位置に集光させる手段としては1つの画素に対して複数のオンチップマイクロレンズ53A、53Bで構成する。

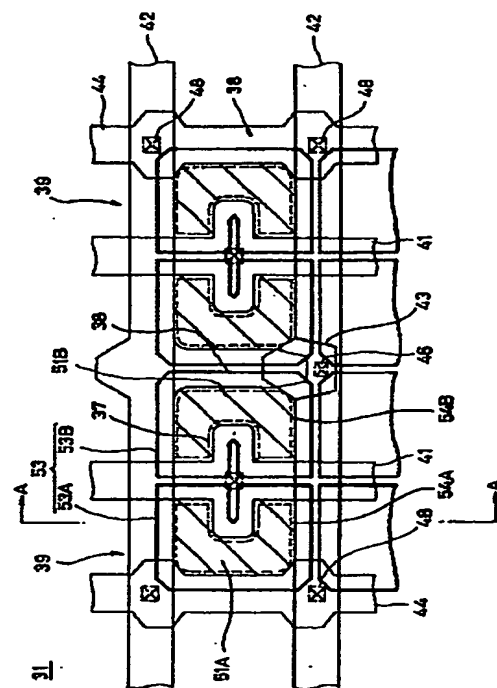


図1の固体撮像装置の平面図

## 【特許請求の範囲】

【請求項1】 1つの画素内で互に離間した複数の位置に集光させるようにして成ることを特徴とする固体撮像装置。

【請求項2】 複数の位置に集光させる手段は1つの画素に対して複数のレンズで構成されることを特徴とする請求項1に記載の固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、撮像領域上に集光 10 手段を備えた固体撮像装置に関する。

## 【0002】

【従来の技術】 透明電極のみで画素を構成するフルフレームCCD固体撮像素子や、アモルファスSiをCCD表面に光電変換層として設けた構造の積層型CCD固体撮像素子等では、画素表面に照射される光を面積的にほぼ100%有効に利用している。

【0003】 一方、インターライン転送方式のCCD固体撮像素子やフレームインターライン転送方式のCCD固体撮像素子等では、CCD構造の垂直転送レジスタ部 20 を遮光する必要があるため、画素部の大部分がA1等で覆われている。そして、フォトセンサ領域（受光部）上のみ窓開け（センサ開口）している。そのため、撮像領域表面に照射される光の一部しか有効に利用できない。

【0004】 近年、固体撮像素子の多画素化、小型化にともなう、画素サイズが小さくなってきている。それにしたがって、センサ開口面積が画素面積に占める割合、つまりセンサ開口率は益々減少し、感度がより小さくなってしまふ。この問題の対策として、画素毎にセンサ領域つまりセンサ開口上に、マイクロレンズを設け、 30 より広い面積の光を集光し、実効的なセンサ開口率を上げる努力が行われている。

【0005】 このマイクロレンズは、張り合せ等の方法でなく、直接画素上にウエハプロセスでレンズを形成するため、オンチップマイクロレンズと呼ばれる。

【0006】 また、近年、固体撮像素子の高解像度化の要求に従って、画素毎に光信号電荷を増幅する増幅型固体撮像素子が開発されている。この増幅型固体撮像素子は、画素毎にMOS型トランジスタを備え、画素に光電変換された電荷を蓄積し、この電荷をトランジスタの電 40 流変調として取り出す一種の信号変換を行うものを指している。この増幅型固体撮像素子においても、CCD固体撮像素子と同様に、画素毎にオンチップマイクロレンズを設ける構成が考えられている。

【0007】 増幅型固体撮像素子では、画素毎に一種の増幅機能をもたせたMOSトランジスタを有し、そのMOSトランジスタにA1層とがコンタクトし配線されるため、そのレイアウトパターンが複雑になってしまう。A1等の配線材は遮光能力をもつため、センサ開口は結果的に複雑な配線と配線の間に形成せざるを得ない。 50

【0008】 図13乃至図15は、従来の増幅型固体撮像素子の一例を示す。この増幅型固体撮像素子1は、例えばp形のシリコン半導体基板2にn形の半導体層（すなわちオーバーフローバリア層）3及びp形のウエル領域4が形成され、このp形ウエル領域4上にSiO<sub>2</sub>等によるゲート絶縁膜5を介して光を通過しうる環状ゲート電極6が形成され、この環状ゲート電極6の中心孔及び外周に対応するp形ウエル領域4に夫々ゲート電極6をマスクとするセルフアラインにて夫々n形のソース領域7及びドレイン領域8が形成され、ここに1画素となるMOS型トランジスタ（以下画素MOSトランジスタと称する）9が構成される。環状ゲート電極6は、光をできるだけ吸収しないように薄いか、透明の材料が選ばれ、例えば薄膜の多結晶シリコンが用いられる。

【0009】 この画素MOSトランジスタ9が図13に示すように、複数個マトリックス状に配列され、各列に対応する画素MOSトランジスタ9のソース領域7が垂直方向に沿って形成された第1層A1による共通の信号線11に接続され、この信号線11と直交するように画素MOSトランジスタ9の各行間に対応する位置に第2層A1による垂直選択線12が水平方向に沿って形成される。

【0010】 そして、水平方向に隣り合う2つの画素MOSトランジスタ9の環状ゲート電極6を互に接続するために一体形成された連結部13が垂直選択線12に接続される。連結部13が形成されない画素MOSトランジスタ9間にドレイン領域8に接続した例えば第1層A1によるドレイン電源線14が形成される。16はゲートコンタクト部、17はソースコンタクト部、18はドレインコンタクト部である。

【0011】 更に、平坦化膜20を介して各画素に対応するようにオンチップマイクロレンズ21が設けられる。このオンチップマイクロレンズ21は、その焦点がソースコンタクト部17の例えば右側のゲート中央部、Y点に位置するように図13において右側にずれて設けられる。

【0012】 この画素MOSトランジスタ9では、図15に示すように、環状ゲート電極6を透過した光が電子-正孔を発生し、このうちの正孔hが信号電荷として環状ゲート電極6下のp形ウエル領域4に蓄積される。垂直選択線12を通して環状ゲート電極6に高い電圧が印加され、画素MOSトランジスタ9がオンされると、ドレイン電流I<sub>d</sub>が表面に流れ、このドレイン電流I<sub>d</sub>が信号電荷hにより変化を受けるので、このドレイン電流I<sub>d</sub>を信号線11を通して出力し、その変化量を信号出力とする。

## 【0013】

【発明が解決しようとする課題】 ところで、この増幅型固体撮像素子1では、ソース領域7に接続される信号線11によってゲート電極、即ち画素が光学的に完全に分

断され、最終的に画素のセンサ開口は2つのコ字形パターンが向き合ったような2つの領域6A、6Bになってしまう。この状態で、画素のセンサ開口率(センサ開口面積÷画素面積)は30%程度となる。オンチップマイクロレンズ21で感度を改善するも、図示のように、1つのオンチップマイクロレンズで1焦点(Y点)に集光させるという構造では、集光効率が落ちる。

【0014】また、図14に示すように、オンチップマイクロレンズ21で集光し入射光 $L_1$ がA1による信号線11或はドレイン電源線14にけられないようにする10ためには、ゲート電極6からオンチップマイクロレンズ21までの高さ $H_1$ を大きくしなければならない。しかし、この高さ $H_1$ を大きくすると、オンチップマイクロレンズ21に斜めに入射した光 $L_2$ がA1の信号線11又はドレイン電源線14にけられ所謂シェーディングが起り易くなる。

【0015】本発明は、上述の点に鑑み、集光効率を改善し感度の向上を図ると共に、併せてシェーディングを防止できるようにした固体撮像装置を提供するものである。

【0016】

【課題を解決するための手段】本発明に係る固体撮像素子装置は、1つの画素内で互に離間した複数の位置に集光させるようにした構成とする。撮像領域に入射した光を1つの画素内で互に離間した複数の位置に集光させることにより、集光効率が上がると共に、併せてセンサ領域と集光手段間の高さが小さくでき、シェーディングが起りにくくなる。

【0017】

【発明の実施の形態】本発明に係る固体撮像装置は、1 30つの画素内で互に離間した複数の位置に集光させるようにする。複数の位置に集光させる手段としては、1つの画素に対して複数のレンズで構成することができる。

【0018】以下、図面を参照して本発明の実施例について説明する。

【0019】図1及び図2は、本発明に係る増幅型固体撮像装置の一実施例を示す。同図は横長画素に適用した場合の撮像領域を示す。本例の増幅型固体撮像装置31は、前述と同様に、第1導電形例えばp形のシリコン半40導体基板32上に第2導電形即ちn形の半導体層(すなわちオーバーフローバリア層)33及びp形のウエル領域34が形成され、このp形ウエル領域34上に $SiO_2$ 等によるゲート絶縁膜35を介して光を通過しうる横長の環状ゲート電極36が形成され、その環状ゲート電極36の中心孔及び外周に対応するp形ウエル領域34に夫々ゲート電極36をマスクとするセルフアラインにて夫々n形のソース領域37及びドレイン領域38が形成され、ここに1画素となる画素MOSトランジスタ39が構成される。

【0020】環状ゲート電極36は、光をできるだけ吸 50

収しないように薄いか、透明の材料が選ばれ、例えば多結晶シリコン、タングステンポリサイド、タングステンシリサイド等を用いる。本例では透光性のよい薄膜の多結晶シリコンが用いられる。

【0021】この画素MOSトランジスタ39が図1に示すように、複数個マトリックス状に配列され、各列に対応する画素MOSトランジスタ39のソース領域37が垂直方向に沿って形成された第1層A1による共通の信号線41に接続され、この信号線41と直交するように画素MOSトランジスタ39の各行間に対応する位置に第2層A1による垂直選択線42が水平方向に沿って形成される。

【0022】そして、水平方向に隣り合う2つの画素MOSトランジスタ39の夫々の環状ゲート電極36を互に接続するために一体形成された連結部43が垂直選択線42に接続される。この場合、ゲート電極36を構成する導電材料と反応しない導電材料(例えば多結晶シリコン、タングステンシリサイド、タングステンポリサイド、バリアメタルとA1の組み合わせ材料等)によるコンタクトバッファ層を介して互に接続される。連結部43が形成されない画素MOSトランジスタ39間に、ドレイン領域38に接続した例えば第1層A1によるドレイン電源線44が形成される。46はゲートコンタクト部、47はソースコンタクト部、48はドレインコンタクト部である。

【0023】そして、本例では、特に、層間絶縁膜57、58、平坦化膜59を介して、1画素内で互に離間した複数の位置に集光させる集光手段53、即ち、横長環状ゲート電極36がA1による信号線41で2分されてコ字形パターンが互に向かい合ったようなパターンとなる2分割のセンサ領域(センサ開口)51(51A、51B)に夫々対応する位置に、そのコ字形形状のセンサ開口51A、51Bに沿うようにオンチップマイクロレンズ53(53A、53B)が形成される。

【0024】このオンチップマイクロレンズ53A及び53Bは、後述の製法で示すようにコ字形パターンのセンサ開口51A、51Bに沿う透明膜を核として形成される。54(54A及び54B)はその核を示す。この1画素に対して設けられた2つのオンチップマイクロレンズ53A及び53Bは夫々2分割されたセンサ開口の各コ字形パターンに沿って断面半円筒状に形成される。

【0025】次に、図3～図8を用いて本例の増幅型固体撮像装置の製法例を説明する。まず、図3A及びBに示すように、p形ウエル領域34上にゲート絶縁膜35を介して横長の環状ゲート電極36を形成し、このゲート電極36をマスクにしてセルフアラインにてp形ウエル領域34にn形のソース領域37及びドレイン領域38を形成する。47はソースコンタクト部、48はドレインコンタクト部である。

【0026】次に、図4A及びBに示すように、層間絶

緑膜57を形成し、この層間絶縁膜57上に第1層A1にてソースコンタクト部47を介してソース領域37に接続する信号線41及びドレインコンタクト部48を介してドレイン領域38に接続するドレイン電源線44を形成する。46はゲートコンタクト部である。

【0027】次に、図5A及びBに示すように、層間絶縁膜58を形成し、この層間絶縁膜58上に、ゲートコンタクト部46を介してゲート電極36と一体の連結部43に接続する第2層A1による垂直選択線42を形成する。

【0028】次に、図6A及びBに示すように、例えばスピニングガラス(SOG)等によって平坦化膜59を形成し、この平坦化膜59上にオンチップマイクロレンズの核となる透明膜、例えばプラズマCVD-SiN膜を100nm~1000nm程度成長する。この透明膜はSOGそのままでも良く、また、プラズマCVD-SiO<sub>2</sub>膜、スパッタSiO<sub>2</sub>膜など配線材料のA1等がコンタクト部でSiにスパイクを生じ接合破壊を発生せしめない温度、バリア層を設けた場合は550℃以下の温度で形成できる透明な膜ならば基本的に使用可能である。光学的屈折率の点から材質を選択すればよい。そして、後述の図8で詳しく説明するように、この透明膜に対して、2分されているセンサ開口51A、51Bに沿った形状にリソグラフィ技術を用いてパターンニングして核54A及び54Bを形成する。

【0029】次に、図7A及びBに示すように、この透明膜による核54A及び54B上に透明な膜、例えばプラズマCVD-SiN膜、プラズマCVD-SiO<sub>2</sub>膜、スパッタSiO<sub>2</sub>膜等を被着し、2分されたセンサ開口に沿った2つのオンチップマイクロレンズ53A、53Bを形成する。

【0030】図8に、この核54A、54B、さらにその上のオンチップマイクロレンズ53A、53Bの作成工程を示す。図8Aに示すように、平坦化膜59上にオンチップマイクロレンズの核となる透明膜54を被着形成し、この透明膜54上の2分された夫々コ字形のセンサ開口51A、51Bに対応する部分にセンサ開口51A、51Bに沿う形状のレジスト61を形成する。

【0031】次に、図8Bに示すように、このレジスト61をマスクに等方性エッチングによって下地の透明膜54を途中まで選択エッチングする。

【0032】次いで、図8Cに示すように、同じレジスト61をマスクにして異方性エッチングによって下地の透明膜54を厚み全体にわたって選択エッチングする。これによって上部角にテーパのついた断面形状の核54A及び54Bを形成する。これは、オンチップマイクロレンズの曲率を大きくする場合に行う方法である。また、この核54A、54Bの上部角のテーパはもちろん、高さ、幅を制御して最適なオンチップマイクロレンズの形状を得ることができる。また、図示せざるもテ

パでなく、従来技術と同様に温度をかけてレジスト61をリフローさせ、なめらかな曲率のレジスト形状を得て、異方性エッチングにて下地の透明膜54にレジスト形状を転写することも有効である。ここで、従来と同様レジストリフローを用いても、それ自身オンチップマイクロレンズとするわけではないので、パターンのスリットは十分広くとれるため問題ない。

【0033】次に、図8Dに示すようにこの透明膜54による核54A、54B上に前述した材料による透明な膜62をCVD又はスパッタ等によって被着し、核54A、54Bの形状に沿ってレンズ状とする。以上のように2分された夫々のコ字形のセンサ開口51A、51Bに沿ったオンチップマイクロレンズ53A、53Bが形成される。

【0034】実際、このオンチップマイクロレンズ53A、53Bによれば、どこかの断面をとっても、遮光A1配線に照射した光がセンサ開口側に屈折し、センサ領域上に効果的に集光させることができる。図1及び図2の実施例では、オンチップマイクロレンズ53A、53Bのスリット63がまだ残っているが2回目の透明膜62を厚くするか、核54A、54Bのパターンのスリットを狭くする等して、完全にスリット63の無いオンチップマイクロレンズ53A、53Bを容易に形成することができる。

【0035】核54A、54Bとなるパターンの幅、高さ、断面形状、及び核54A、54Bに被覆する透明膜62の膜厚、被覆性、さらには膜54、62の屈折率などを制御してデバイス毎、画素毎に最適なオンチップマイクロレンズ形状を得ることが可能である。

【0036】上述した本実施例に係る増幅型固体撮像装置31によれば、1画素毎に夫々A1信号線11で分断された2つのコ字形のセンサ領域(センサ開口)51A、51Bに対して夫々そのコ字形に沿って2つのオンチップマイクロレンズ53A、53Bを形成し、夫々のオンチップマイクロレンズ53A、53Bを通して、対応するセンサ領域51A、51B上に夫々コ字状に沿って入射光を集光させることができる。従って、集光効率を向上することができ、画素感度を向上することができる。

【0037】また、オンチップマイクロレンズの集光面積をAとし、オンチップマイクロレンズを通してセンサ領域上に集光させる面積をBとすると、その比A/Bが図13の従来例に比較して小さくなり、センサ領域からオンチップマイクロレンズまでの高さH<sub>2</sub>を小さくすることができる。従って、シェーディングが起りにくくなり、より信頼性の高い増幅型固体撮像装置が得られる。

【0038】そして、本実施例では、高密度化に伴って画素面積が小さくなっても同様の構成が容易に得られるので、高密度、小型化の増幅型固体撮像装置の信頼性を

向上できる。

【0039】また、1画素のセンサ開口が複雑に折れ曲がっていても、その形状に適した形のオンチップマイクロレンズが形成でき、また、1画素のセンサ開口が複数に分断されても、夫々の分断領域に対応して複数のオンチップマイクロレンズが形成でき、画素感度を向上させることができる。

【0040】図9～図12は、夫々本発明に係る増幅型固体撮像装置の他の実施例を示す。なお、図9～図12において、図1と対応する部分には同一符号を付して重複説明を省略する。

【0041】図9の例は、1画素のセンサ領域51A、51Bに対して垂直方向に2分した円筒面状の2つのオンチップマイクロレンズ71A、71B設け、複数個所に集光させるように構成した場合である。

【0042】図10の例は、1画素のセンサ領域51A、51Bに対して水平方向に2分した球面状の2つのオンチップマイクロレンズ72A、72Bを設け、複数個所に集光させるように構成した場合である。

【0043】図11の例は、1画素のセンサ領域51A、51Bに対して、横長環状のゲート電極に対応するように、円筒面状で横長環状のオンチップマイクロレンズ73を設け、複数個所に集光をさせるように構成した場合である。

【0044】図12の例は、1画素に対して2つのオンチップマイクロレンズが形成されるように、垂直方向に配列された複数の画素に対して共通するように帯状のカマボコ型(円筒面状)のオンチップマイクロレンズ74A、74Bを設け、1画素に対して複数個所に集光させるように構成した場合である。

【0045】これら各実施例においても、上例と同様に、集光効率が向上し、画素感度を向上させることができ、またシェーディングを防止することができる。

【0046】上例では、複数のセンサ開口形状をもつ増幅型固体撮像装置に適用したが、その他、従来のCCD固体撮像装置にも適用可能である。

【0047】

【発明の効果】本発明に係る固体撮像装置によれば、1つの画素内で互に離間した複数の位置に集光させるようにしたことにより、複雑なセンサ開口形状であっても、1画素に対する集光効率を向上させることができ、画素感度を向上させることができる。

【0048】また、集光手段としてのレンズとセンサ領域間の高さを低くすることが可能となり、シェーディングを起こしにくくすることができる。従って、多画素、小型の固体撮像装置の高信頼性化を図ることができる。

【図面の簡単な説明】

【図1】本発明に係る増幅型固体撮像装置の一実施例を示す平面図である。

【図2】図1のA-A線上的断面図である。

【図3】A 本発明に係る増幅型固体撮像装置の製造工程図である。

B 図3AのA-A線上的断面図である。

【図4】A 本発明に係る増幅型固体撮像装置の製造工程図である。

B 図4AのA-A線上的断面図である。

【図5】A 本発明に係る増幅型固体撮像装置の製造工程図である。

B 図5AのA-A線上的断面図である。

【図6】A 本発明に係る増幅型固体撮像装置の製造工程図である。

B 図6AのA-A線上的断面図である。

【図7】A 本発明に係る増幅型固体撮像装置の製造工程図である。

B 図7AのA-A線上的断面図である。

【図8】A 本発明に係るオンチップマイクロレンズの製造工程図である。

B 本発明に係るオンチップマイクロレンズの製造工程図である。

C 本発明に係るオンチップマイクロレンズの製造工程図である。

D 本発明に係るオンチップマイクロレンズの製造工程図である。

【図9】本発明に係る増幅型固体撮像装置の他の実施例を示す要部の平面図である。

【図10】本発明に係る増幅型固体撮像装置の他の実施例を示す要部の平面図である。

【図11】本発明に係る増幅型固体撮像装置の他の実施例を示す要部の平面図である。

【図12】本発明に係る増幅型固体撮像装置の他の実施例を示す要部の平面図である。

【図13】従来の増幅型固体撮像装置の例を示す平面図である。

【図14】図13のB-B線上的断面図である。

【図15】図13のC-C線上的断面図である。

【符号の説明】

31 増幅型固体撮像装置

36 ゲート電極

37 ソース領域

38 ドレイン領域

39 画素MOSトランジスタ

41 信号線

42 垂直選択線

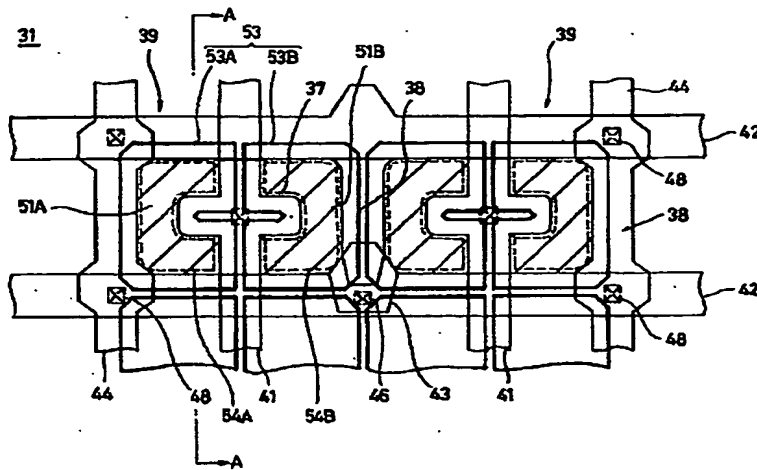
44 ドレイン電源線

51A、51B センサ領域(センサ開口)

53〔53A、53B〕、71A、71B、72A、72B、73、74A、74B オンチップマイクロレンズ

54〔54A、54B〕 核

【図1】



第1の実施例の平面図

【図14】

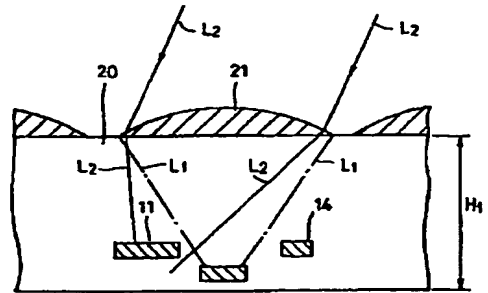


図13のB-B線上の断面図

【図2】

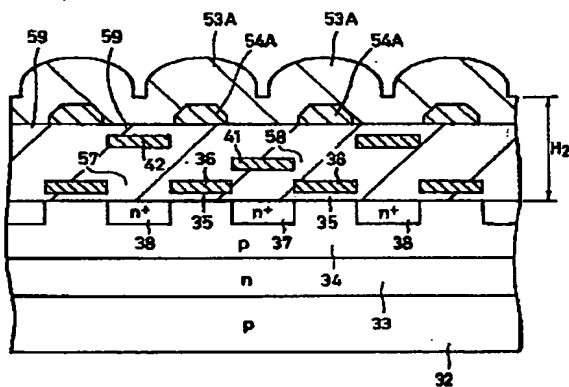
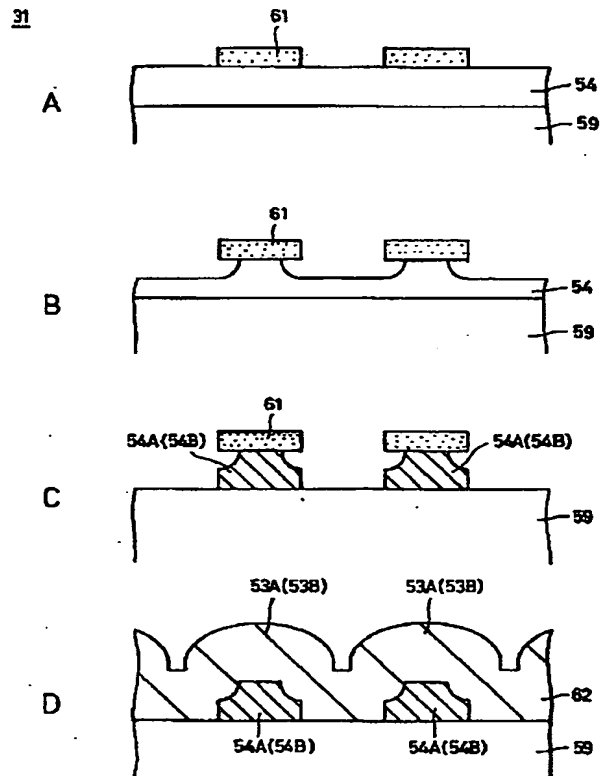


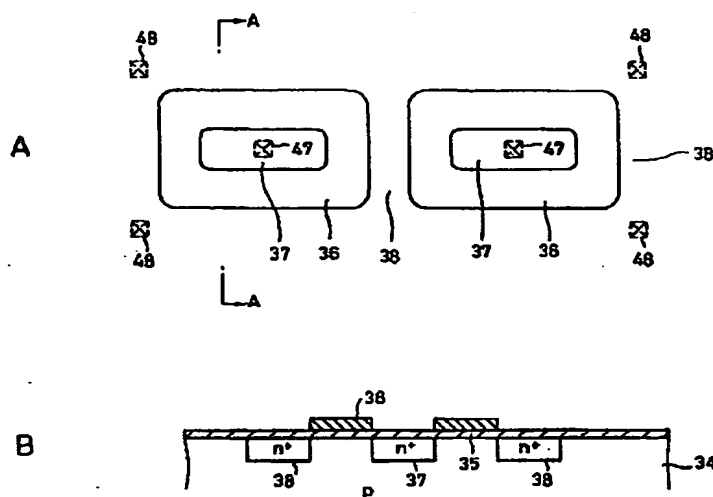
図1のA-A線上の断面図

【図8】



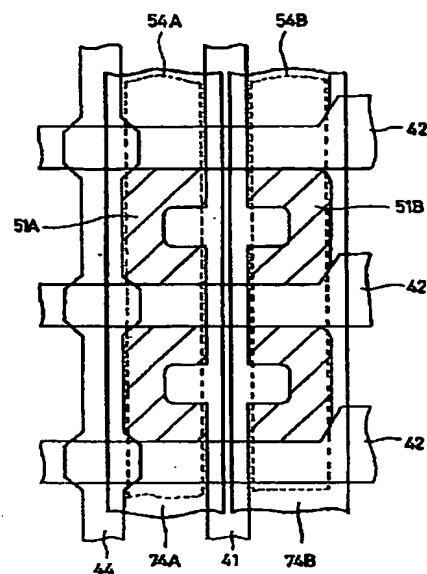
本発明に係るオンチップマイクロレンズの製造工程図

【図3】



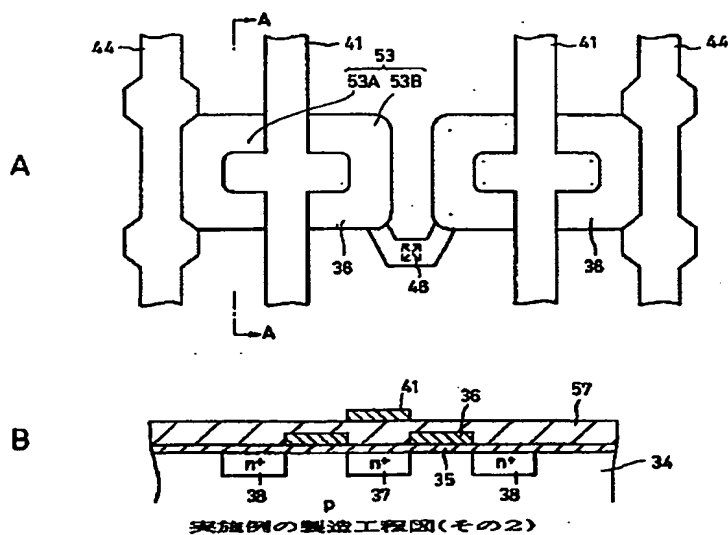
実施例の製造工程図(その1)

【図12】



第5の実施例の平面図

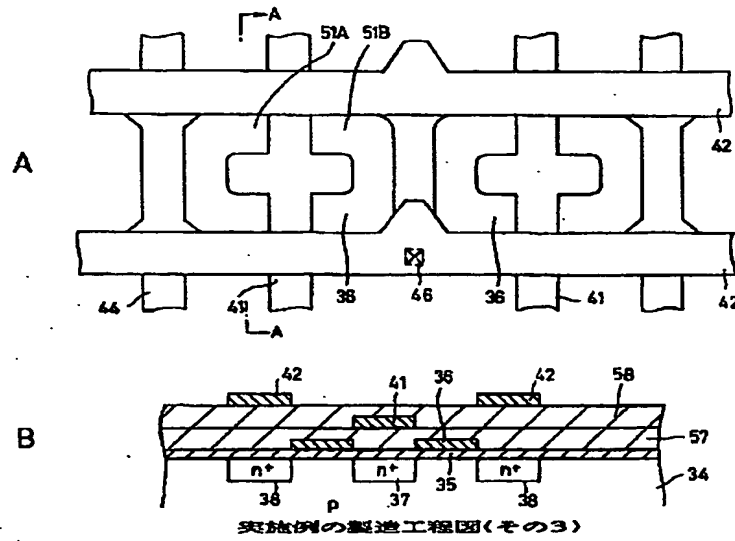
【図4】



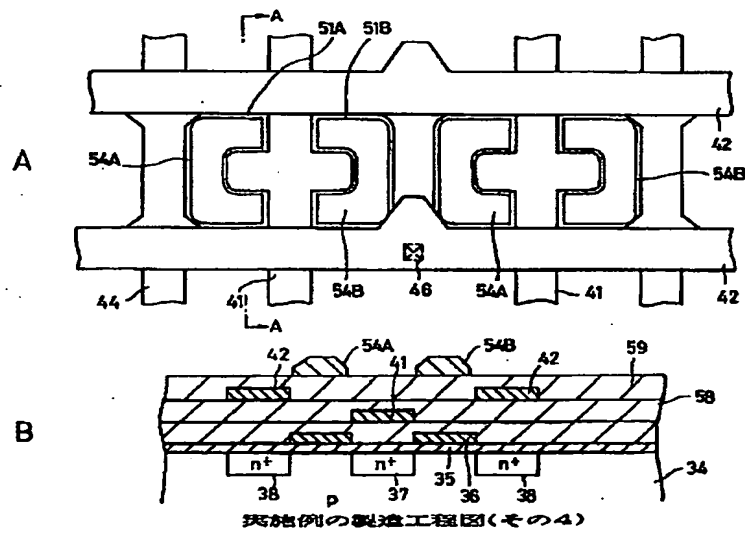
実施例の製造工程図(その2)



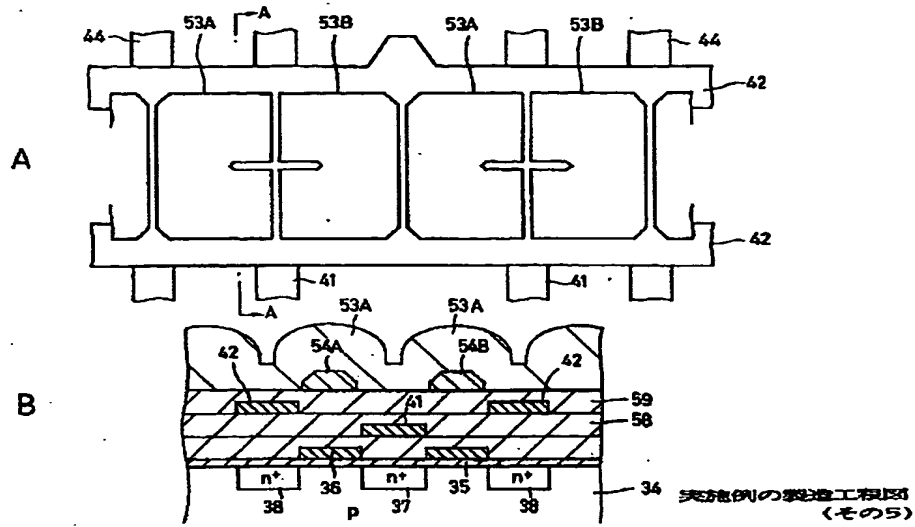
【図5】



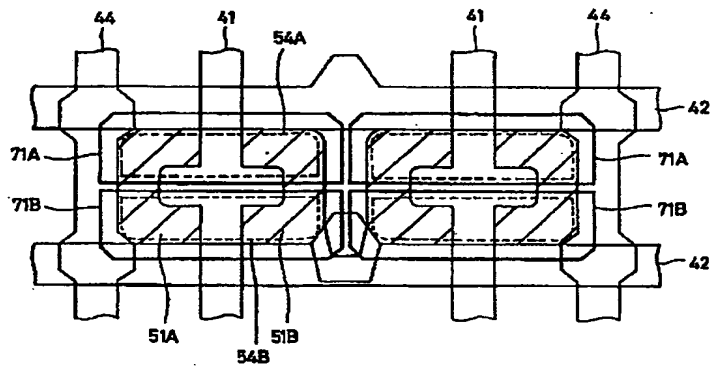
【図6】



【図7】

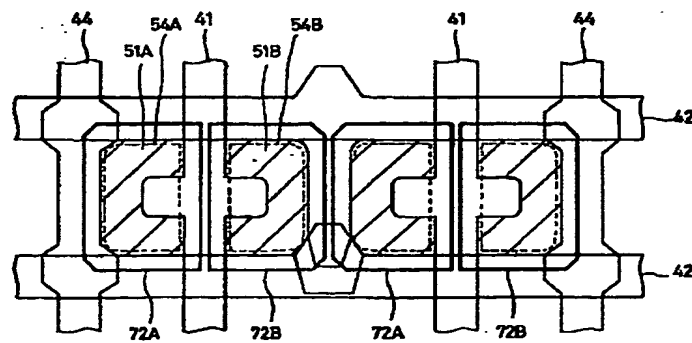


【図9】



第2の実施例の平面図

【図10】



第3の実施例の平面図

【図11】

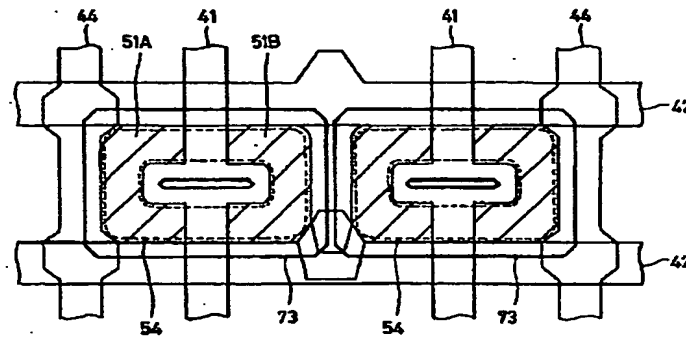
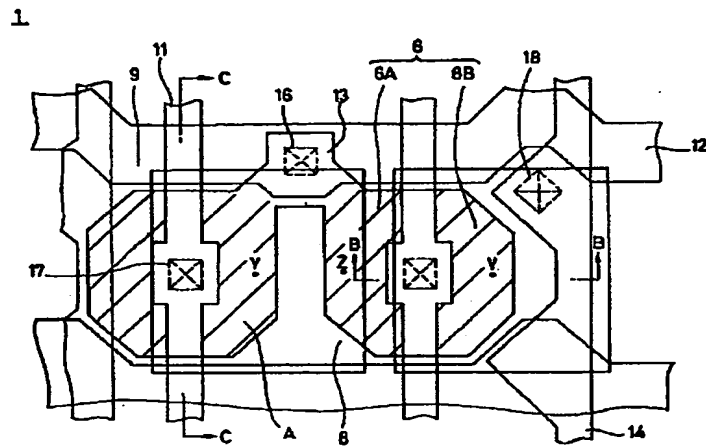


図4の実施例の平面図

【図13】



従来例の平面図

【図15】

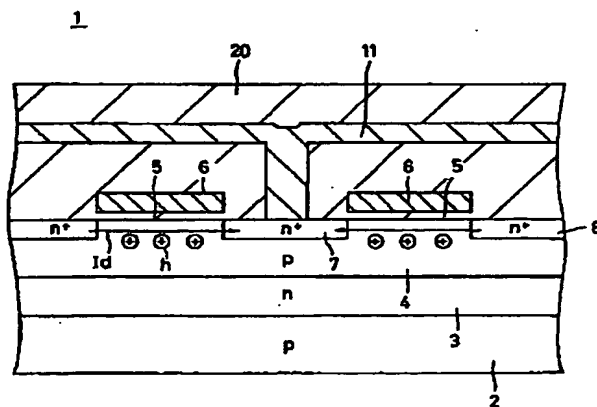


図13のC-C線上の断面図